

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Ching-Fa YEH et al.

Serial No: Filed Herewith

Filed: Concurrently Herewith - Feb. 15, 2002

) Atty Dkt: YEHC3010/EM
)
)
)

For: METHOD OF REDUCING THICK FILM STRESS OF SPIN-ON DIELECTRIC
AND THE RESULTING SANDWICH DIELECTRIC STRUCTURE

Assistant Commissioner of Patents
and Trademarks
Washington, D.C. 20231

JC868 U.S. PTO
10/075293
02/15/02

3
8-18-02
Payton

INFORMATION DISCLOSURE STATEMENT

Sir:

Pursuant to Rule 37 C.F.R. §1.56, §1.97 and §1.98, this Information Disclosure Statement is submitted in the above-identified patent application. A listing of documents to be published on the face of any patent granted from this application is submitted herewith on Form PTO-1449. Any other documents or information submitted for consideration by the Examiner are listed in this paper.

The Examiner is requested to acknowledge consideration of the information provided in this paper in accordance with prescribed procedures.

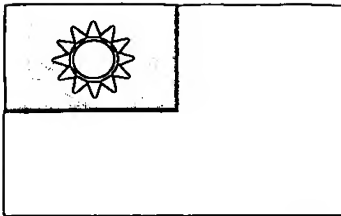
Please charge any additional fees or credit any overpayments in connection with this paper to Deposit Account No. 02-0200.

Respectfully submitted,


Eugene Mar
Registration No. 25,893

BACON & THOMAS, PLLC
625 Slaters Lane, 4th Floor
Alexandria, Virginia 22314
Telephone: (703) 683-0500

Date: February 15, 2002



#2

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

JC868 U.S. PTO

10/075293



02/15/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 02 月 21 日
Application Date申請案號：090103958
Application No.申請人：行政院國家科學委員會
Applicant(s)局長
Director General

陳明邦

發文日期：西元 2001 年 12 月 07 日
Issue Date發文字號：09011019021
Serial No.

申請日期	90.2.21
案 號	90103958
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	降低旋塗式介電質厚膜應力的方法及其所形成的三明治介電質結構
	英 文	Method of reducing thick film stress of spin on dielectric and the resulting sandwich dielectric structure
二、發明 創作人	姓 名	葉清發 李岳川 許至全 吳國豪 王碩晟
	國 籍	中華民國
	住、居所	新竹市建功一路27號17樓之2 南投縣中興新村光榮北路四街30號 台北縣樹林市中興街61-3號 南投縣南投市大同街269巷5號 台中縣豐原市豐南街109巷6號2樓
三、申請人	姓 名 (名稱)	行政院國家科學委員會
	國 籍	中華民國
	住、居所 (事務所)	台北市和平東路二段一〇六號十八樓
	代 表 人 姓 名	翁政義

四、中文發明摘要(發明之名稱：

降低旋塗式介電質厚膜應力的方法及其所形成的三明治介電質結構

一種降低一厚的旋塗式介電膜的應力的技術，包括形成一種三明治介電質結構，其中先於一基材上旋塗一第一介電層；再於該第一介電層上成長液相沈積二氧化矽層；最後於該液相沈積二氧化矽層旋塗一第二介電層。該液相沈積二氧化矽層可進一步被施予氮氣電漿或氨氣電漿處理，以提高熱穩定性及阻擋水氣遷移的效果。

英文發明摘要(發明之名稱：

Method of reducing thick film stress of spin on dielectric and the resulting sandwich dielectric structure

The present invention provides a technique to reduce a stress of thick spin on dielectric layer by forming a sandwich dielectric structure, wherein a first dielectric layer is formed on a substrate by spin coating, a liquid phase deposited (LPD) silica layer is formed the first dielectric layer, and a second dielectric layer is formed on the LPD silica layer. The LPD silica layer can be further subjected to a nitrogen plasma treatment to enhance its thermal stability and anti-water penetration ability.

(由本局填寫)

承辦人代碼：
大類：
I P C分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

本案尚未向國外提出專利申請

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明領域

本發明係關於一種降低旋塗式介電質厚膜應力的方法及其所形成的三明治介電質結構。

發明背景

一般旋塗式(Spin on Dielectric)介電質的應用很廣，因為旋塗式介電質技術主要是解決平坦度問題，使後續微影過程中不易產生嚴重的景深(Depth of Focus)問題，提高薄膜光蝕刻(Photo-patterning)準確度。為了增進旋塗式介電質之平坦度，通常須旋塗較厚的介電質，但介電質膜應力將隨著旋塗厚度增加而變大，過大的厚膜應力會使得介電質產生龜裂，漏電流大幅增加，介電質失去絕緣特性，因此一般採用兩次旋塗(Double coating)的方式，以獲得較厚的介電質。其次，低介電常數介電層的擋水能力及熱穩定性通常不佳，有必要進一步提出改善。

申請人於我國發明專利申請第88121609號案(申請日88年12月9日)提出一具有銅導線/阻障介電層/低-K介電質溝槽結構的半導體元件及其製法，其中提出一種以液相沈積之氟氧化矽(LPD FSG)經氨氣電漿(NH₃ plasma)處理後作為銅導線之阻障介電層的新技術。該案的內容藉由參考方式被併入本案。

發明要旨

本發明提出一種利用液相沉積(LPD)之氟氧化矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(²)

(Fluorosilicate Glass, FSG)成長於介電質間，以降低旋塗式介電質厚膜應力的方法，避免旋塗式介電質因厚膜應力過大而產生龜裂現象，亦可避免後續沈積於介電質上之薄膜因介電質對其產生過大應力，致使沈積厚膜產生龜裂。較佳地，將該氟氧化矽膜予以氮氣電漿處理，可使整層FSG膜質氮化，阻擋可移動的離子穿透，有效提高熱穩定性及水氣的遷移效應，使旋塗式介電質的可靠性大幅提升，並使得旋塗式介電質在應用上更具潛力。

發明之詳細說明

本發明揭示一種降低旋塗式介電質厚膜應力的方法，包含下列步驟：

- a)於一基材上旋塗一第一介電層；
- b)於該第一介電層上成長液相沈積二氧化矽層；及
- c)於該液相沈積二氧化矽層旋塗一第二介電層。

本發明同時亦揭示一種具有降低的厚膜應力的三明治介電質結構，包含

一形成於一基材的第一介電層，其具有一介於100至700 nm的厚度；

一形成於該第一介電層上的液相沈積二氧化矽層，其具有一介於5至100 nm的厚度；及

一形成於該液相沈積二氧化矽層的第二介電層，其具有一介於100至700 nm的厚度。

較佳的，該第一介電層及第二介電層為選自氫倍半氧

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (3)

矽烷(hydrogen silsesquioxane)或甲基倍半氧矽烷(methyl silsesquioxane, 以下簡稱MSQ)的低-K介電層。更佳的, 該第一介電層及第二介電層為甲基倍半氧矽烷。

較佳的, 該液相沈積二氧化矽層為一含有6-10原子%的氟的含氟二氧化矽層。

較佳的, 該液相沈積二氧化矽層為一經過氮氣電漿處理或氮氣電漿處理的液相沈積二氧化矽層, 其具有3-50原子%的氮及0.5-10原子%的氟。

較佳的, 該液相沈積二氧化矽層具有一介於10至30 nm的厚度。

較佳的, 該第一介電層加第二介電層的厚度和介於800至1200 nm。

較佳的, 本發明方法於步驟c)之前進一步包含:

b')對所形成的基材/第一介電層/液相沈積二氧化矽層結構施予一熱熟化(Curing)處理。更佳的, 步驟b')的熱熟化處理包含係於一介於150至650°C的溫度的氮氣氣氛中進行30分鐘至2小時的時間。

較佳的, 本發明方法於步驟c)之前進一步包含:

b')將該液相沈積二氧化矽層施予一氮氣電漿處理或氮氣電漿處理。更佳的, 該氮氣電漿處理或氮氣電漿處理係於25-400°C, 10-800毫托, RF功率密度0.2-2 W/cm²及氮氣或氮氣流速100-2000 sccm的條件下進行30秒至2小時。

較佳的, 本發明方法的步驟b)包含將該基材浸入於一個二氧化矽超飽和氫氟矽酸水溶液中一段時間, 於是在該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(⁴)

第一介電層上形成一含氟二氧化矽層。較佳的，該二氧化矽超飽和氫氟矽酸水溶液係藉由將一個二氧化矽飽和氫氟矽酸水溶液加熱至其溫度升高10℃以上而製備。更佳的，該二氧化矽飽和氫氟矽酸水溶液的溫度為0℃，而該二氧化矽超飽和氫氟矽酸水溶液的溫度為25℃。較佳的，該二氧化矽飽和氫氟矽酸水溶液係藉由將二氧化矽粉末加入一濃度為0.5-5.0M氫氟矽酸水溶液中，於0℃攪拌一段時間後並過濾去除其中殘留的二氧化矽粉末而製備。

較佳的，本發明方法進一步包含於進行步驟c)的第二介電層的旋塗之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

較佳的，本發明方法進一步包含於進行步驟b')的熱熟化處理之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

較佳的，本發明方法進一步包含於進行步驟b')的氮氣電漿處理或氨氣電漿處理之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

較佳的，本發明方法進一步包含於進行步驟c)的第二介電層的旋塗之後，對所形成的基材/第一介電層/液相沈積二氧化矽層/第二介電層結構施予一熱熟化處理。更佳的，此熱熟化處理包含係於一介於150至650℃的溫度的氮氣氣氛中進行30分鐘至2小時的時間。

對照例1

五、發明說明(5)

圖1所示為傳統旋塗式介電質所採用之兩次旋塗(Double coating)結構，其製備方法包含於一矽基材上採用MSQ介電質旋塗二次，每次旋塗約500nm的厚度，並於每次旋塗後，置於通氮氣之爐管中，進行400℃熟化(Curing)30分鐘。

實施例1

將80克二氧化矽粉末加入1500毫升、4M的氫氟矽酸(silicic acid, H_2SiF_6)溶液中，然後將此溶液置於0℃的恆溫水槽中攪拌，形成矽酸的飽和溶液。之後將此飽和溶液予以過濾、除去未能完全溶解的二氧化矽粉末，再將此溶液靜置於25℃的恆溫水槽中，利用升溫、溶液飽和度變化的原理，使溶液達超飽和。此時的恆溫水槽溫度即為FSG之成長溫度。

於一矽基材上採用MSQ介電質進行旋塗而形成一厚度約500 nm的一第一MSQ介電層，再將所獲得的基材/MSQ介電層結構浸入於該25℃的超飽和溶液中，開始於該第一MSQ介電層上成長LPD FSG至厚度約25 nm。於此溫度下，沈積速率約20 nm/hr。取出該基材/MSQ介電層/LPD FSG層結構，接著，進行180℃、250℃各一分鐘的烘烤(Baking)，隨後置於通氮氣之爐管中，進行第一次熟化(400℃、30分鐘)，接著旋塗第二MSQ介電層，並再進行(第二次熟化400℃、30分鐘)，於是獲得如圖2所示的結構。

五、發明說明⁽⁶⁾)

實施例2

除了不進行第一次熟化外，重覆實施例1的步驟，而獲得基材/MSQ介電層/LPD FSG層/MSQ介電層結構。

使用薄膜應力量測儀(Tencor FLX-2908)，以非破壞性的方法，量測對照例1、實施例1及2製備方法中各步驟的薄膜的內應力；該機台包括一He-Ne雷射光源、反射鏡、透鏡和定位感測器。藉著轉動反射鏡，雷射光會掃描在基材表面，經定位感測器量測來自基材表面的反射光的偏移量，如此可得基板的曲率。經分別量測得到基材鍍膜前後之曲率半徑值 R_0 、 R 後，由史東尼方式[Stoney 1909]計算求得薄膜的應力(σ)：

$$\sigma = \frac{1}{6} \left(\frac{E_s}{(1-\nu_s)} \right) \left(\frac{t_s^2}{t_f} \right) \left(\frac{1}{R} - \frac{1}{R_0} \right)$$

其中 E_s 、 t_s 、 ν_s 分別為基材之楊氏係數、厚度及蒲松比(Poisson ration)， t_f 則為薄膜厚度。結果被示於圖3。

在圖3中發現，MSQ介電質間夾有LPD-FSG的實施例1及2，其最終之厚膜應力分別為53.9MPa及44.4MPa，明顯較對照例1的傳統兩次旋塗法之70 MPa降低許多，顯見LPD-FSG確有降低厚膜應力之功效。

於本發明的另一方案中，該第一MSQ層上的厚度25nm之LPD-FSG被置於一電漿輔助化學氣相沈積反應器(PECVD reactor)中使用氮氣電漿將膜質予以氮化，處理參數如下： N_2 流量是200 s.c.c.m.，實驗過程溫度是200℃，上層基板溫度是250℃，RF能量密度是1.13 W/cm²，氣壓是

五、發明說明 (7)

400 mTorr，時間為15 min。然後於LPD-FSG上第二次旋塗MSQ，形成MSQ/LPD-FSG/MSQ之三明治結構，最後置於通氮氣之爐管中，進行400℃熟化30分鐘。

圖4(a)與(b) 是利用化學分析電子能譜儀分析LPD FSG有無經由氮氣電漿處理後膜質的表面成分與化學位移情形。由圖4(a)係對氮原子鍵結(N 1s)分析，我們可以發現未經過氮氣電漿處理的LPD FSG(如虛線所示)無氮鍵結產生。相對之下，有經過氮氣電漿處理的LPD FSG則在束縛能為397.4 eV有強度峰值(intense peak)出現，其範圍落在396.97~397.82 eV之間屬於氮氧化矽鍵結。再由圖4(b)矽原子鍵結(Si 2p)圖中，我們觀察到未經過氮氣電漿處理的LPD FSG所產生的強度峰值約在束縛能103.4 eV處，其鍵結主要為氧化矽鍵結(SiO₂)。LPD FSG有經過氮氣電漿處理產生的強度峰值約在102.2 eV處，此鍵結主要為氮氧化矽鍵結，由此可知LPD FSG在氮氣電漿處理後其強度峰值由未處理前的103.4 eV變為102.2 eV，這主要是原本膜質中的矽氟鍵結(Si-F)與矽氧鍵結(Si-O)在氮氣電漿處理後，氮原子滲入膜質中取代氧原子或是氟離子形成矽氮鍵結(Si-N)。由於氮原子的電子親和力較氧原子與氟原子來的小，所以會造成峰值強度往束縛能小的地方位移。

圖5是利用化學分析電子能譜儀，對LPD FSG有無經氮氣電漿處理後膜質中氮元素濃度的縱深分析。由圖中可觀察到LPD FSG經過氮氣電漿處理後，氮元素從膜層的表面到矽基板都可以偵測到，且濃度維持在20 atom %之上。

五、發明說明(⁸)

然而沒有經過電漿處理的LPD FSG無法偵測出氮元素濃度，大多維持在雜訊值左右，由圖4及圖5我們可以得知，LPD FSG經過氮氣電漿處理後有效地將氮元素均勻摻入膜層中，且氮取代氧或氟，形成氮矽鍵，因此氮氣電漿處理的效應不僅止於表面處理，而可達到整層膜質的氮化。

LPD-FSG及MSQ等介電質均為Low-K介電質，一起使用既可降低介電質之厚膜應力，又對降低RC延遲非常有效，並可改善MSQ膜易吸水、熱穩定性不佳，容易使金屬導線氧化甚至腐蝕的缺點，在未來的半導體製程中極有可能被廣泛使用。

圖示說明：

圖1為一以兩次旋塗法製備的傳統MSQ介電質厚膜之剖視示意圖：

圖2為一以本發明方法製備的三明治介電質厚膜之剖視示意圖：

圖3為本發明實施例1及2與對照例1所使用製備方法中各步驟的膜應力：

圖4(a)：經由化學分析電子能譜儀分析LPD FSG有無經由氮氣電漿處理後膜質表面成分的N 1s光譜。

圖4(b)：經由化學分析電子能譜儀(ESCA)分析LPD FSG有無經由氮氣電漿處理後膜質表面成分的Si 2p光譜。

圖5：經由化學分析電子能譜儀(ESCA)分析LPD FSG有無經由氮氣電漿處理後膜質中氮元素濃度的縱深分析。

六、申請專利範圍

1. 一種降低旋塗式介電質厚膜應力的方法，包含下列步驟：
 - a) 於一基材上旋塗一第一介電層；
 - b) 於該第一介電層上成長液相沈積二氧化矽層；及
 - c) 於該液相沈積二氧化矽層旋塗一第二介電層。
2. 如申請專利範圍第1項的方法，其於步驟c)之前進一步包含：
 - b')對所形成的基材/第一介電層/液相沈積二氧化矽層結構施予一熱熱化處理。
3. 如申請專利範圍第1項的方法，其於步驟c)之前進一步包含：
 - b')將該液相沈積二氧化矽層施予一氮氣電漿處理或氨氣電漿處理。
4. 如申請專利範圍第1項的方法，其中該第一介電層具有一介於100至700 nm的厚度。
5. 如申請專利範圍第1項的方法，其中該第二介電層具有一介於100至700 nm的厚度。
6. 如申請專利範圍第4項的方法，其中該第一介電層加第二介電層的厚度和介於800至1200 nm。

六、申請專利範圍

7. 如申請專利範圍第1項的方法，其中該液相沈積二氧化矽層具有一介於5至100 nm的厚度。
8. 如申請專利範圍第7項的方法，其中該液相沈積二氧化矽層具有一介於10至30 nm的厚度。
9. 如申請專利範圍第1項的方法，其中的第一介電層及第二介電層為選自氫倍半氧矽烷(hydrogen silsesquioxane)或甲基倍半氧矽烷(methyl silsesquioxane)的低-K介電層。
10. 如申請專利範圍第9項的方法，其中的第一介電層及第二介電層為甲基倍半氧矽烷。
11. 如申請專利範圍第1項的方法，其中步驟b)包含將該基材浸入於一個二氧化矽超飽和氫氟矽酸水溶液中一段時間，於是在該第一介電層上形成一含氟二氧化矽層。
12. 如申請專利範圍第11項的方法，其中的二氧化矽超飽和氫氟矽酸水溶液係藉由將一個二氧化矽飽和氫氟矽酸水溶液加熱至其溫度升高10℃以上而製備。
13. 如申請專利範圍第12項的方法，其中該二氧化矽飽和氫氟矽酸水溶液的溫度為0℃，而該該二氧化矽超飽和氫氟

六、申請專利範圍

矽酸水溶液的溫度為 25°C 。

14. 如申請專利範圍第13項的方法，其中該二氧化矽飽和氫氟矽酸水溶液係藉由將二氧化矽粉末加入一濃度為0.5-5.0M氫氟矽酸水溶液中，於 0°C 攪拌一段時間後並過濾去除其中殘留的二氧化矽粉末而製備。

15. 如申請專利範圍第11項的方法，其中步驟b)所形成的含氟二氧化矽層含有6-10原子%的氟。

16. 如申請專利範圍第3項的方法，其中步驟b')的氮氣電漿處理或氮氣電漿處理係於 $25-400^{\circ}\text{C}$ ，10-800毫托，RF功率密度 $0.2-2\text{ W/cm}^2$ 及氮氣或氮氣流速100-2000 sccm的條件下進行30秒至2小時。

17. 如申請專利範圍第16項的方法，其中步驟b')的氮氣電漿處理或氮氣電漿處理使該含氟二氧化矽層具有3-50原子%的氮及0.5-10原子%的氟。

18. 如申請專利範圍第2項的方法，其中步驟b')的熱熱化處理包含係於一介於 150 至 650°C 的溫度的氮氣氣氛中進行30分鐘至2小時。

19. 如申請專利範圍第1項的方法，其進一步包含於進行步

六、申請專利範圍

驟c)的第二介電層的旋塗之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

20. 如申請專利範圍第2項的方法，其進一步包含於進行步驟b')的熱熱化處理之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

21. 如申請專利範圍第3項的方法，其進一步包含於進行步驟b')的氮氣電漿處理或氮氣電漿處理之前，加熱烘乾步驟b)所成長的液相沈積二氧化矽層。

22. 如申請專利範圍第1項的方法，其進一步包含於進行步驟c)的第二介電層的旋塗之後，對所形成的基材/第一介電層/液相沈積二氧化矽層/第二介電層結構施予一熱熱化處理。

23. 如申請專利範圍第22項的方法，其中的熱熱化處理包含係於一介於150至650°C的溫度的氮氣氣氛中進行30分鐘至2小時。

24. 一種具有降低的厚膜應力的三明治介電質結構，包含一形成於一基材的第一介電層，其具有一介於100至700 nm的厚度；

一形成於該第一介電層上的液相沈積二氧化矽層，其具有

六、申請專利範圍

一介於5至100 nm的厚度；及

一形成於該液相沈積二氧化矽層的第二介電層，其具一介於100至700 nm的厚度。

25. 如申請專利範圍第24項的三明治介電質結構，其中的第一介電層及第二介電層為選自氫倍半氧矽烷(hydrogen silsesquioxane)或甲基倍半氧矽烷(methyl silsesquioxane)的低-K介電層。

26. 如申請專利範圍第25項的三明治介電質結構，其中的第一介電層及第二介電層為甲基倍半氧矽烷。

27. 如申請專利範圍第24項的三明治介電質結構，其中的液相沈積二氧化矽層為一含有6-10原子%的氟的含氟二氧化矽層。

28. 如申請專利範圍第24項的三明治介電質結構，其中的液相沈積二氧化矽層為一經過氮氣電漿處理或氨氣電漿處理的液相沈積二氧化矽層，其具有3-50原子%的氮及0.5-10原子%的氟。

29. 如申請專利範圍第24項的三明治介電質結構，其中該液相沈積二氧化矽層具有一介於10至30 nm的厚度。

六、申請專利範圍

30. 如申請專利範圍第24項的三明治介電質結構，其中該第一介電層加第二介電層的厚度和介於800至1200 nm。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

2nd MSQ (~500nm)
1st MSQ (~500nm)
Si 基材

圖 1

2nd MSQ (~500nm)
LPD-FSG (25nm)
1st MSQ (~500nm)
Si 基材

圖 2

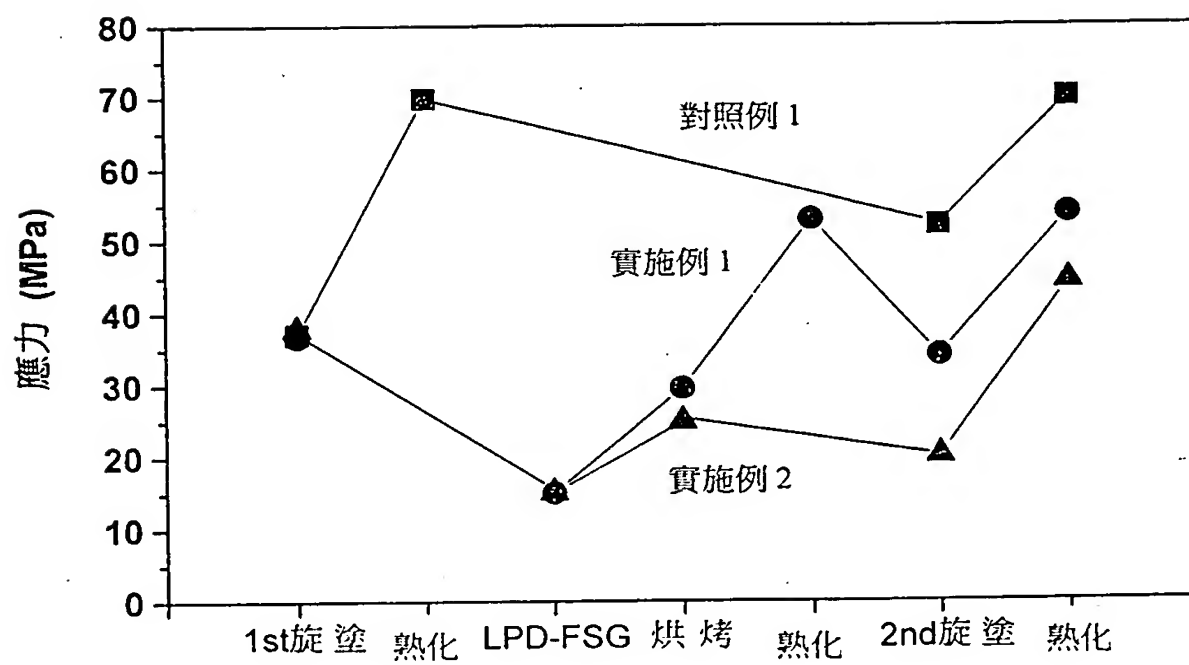


圖 3

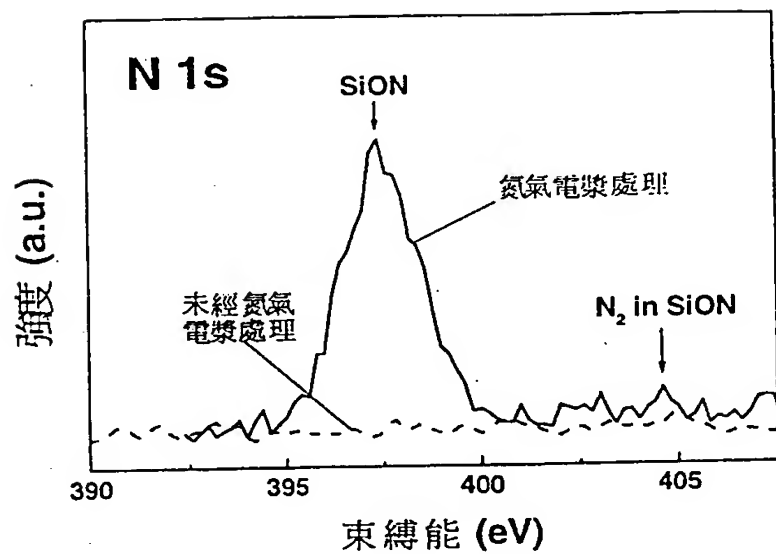


圖 4(a)

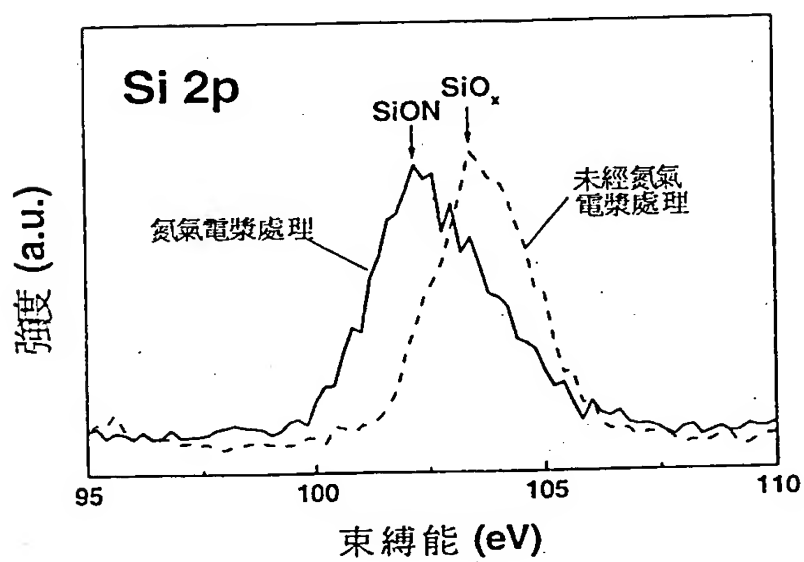


圖 4(b)

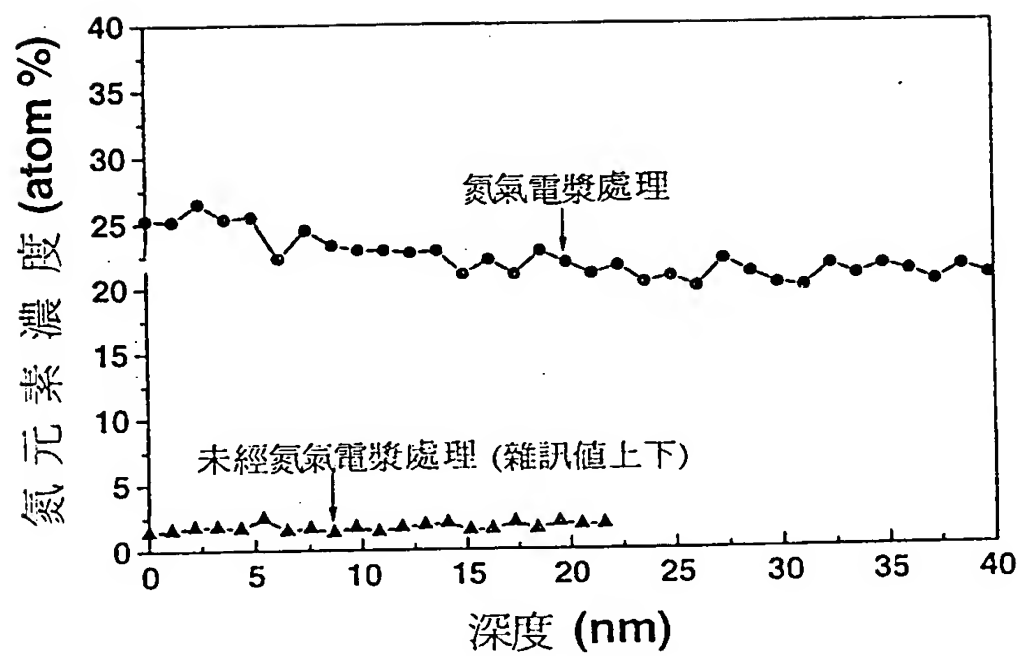


圖 5